

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-067200

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

G02F 1/136

G02F 1/133

(21)Application number : 04-217729

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.08.1992

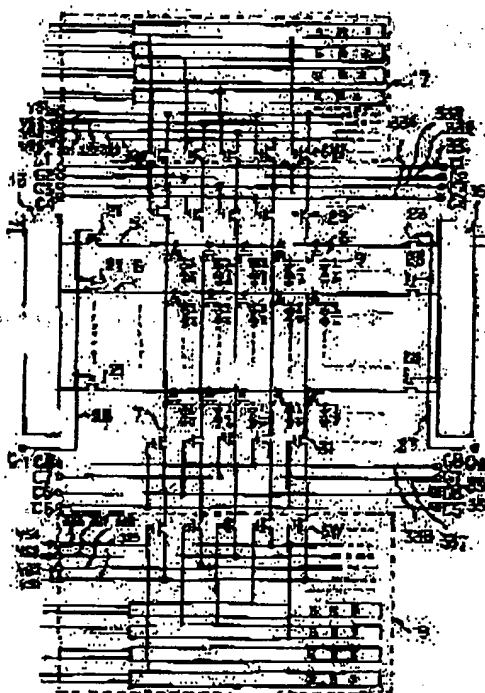
(72)Inventor : NAKAMURA HIROYOSHI  
MASUDA YOICHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To obtain a liquid crystal display device in which work in the case of switching two or more systems of redundant scanning line driving circuits and signal line driving circuits is simplified, whose production cost is kept low and which has sufficient reliability.

**CONSTITUTION:** Connection control switches 21 and 23 consisting of TFT having the active layer of polycrystal silicon formed of the same material and in the same layer structure as a TFT 3 for switching a picture element part are inserted between the scanning line driving circuits 13 and 15 and a scanning line 5, and between the signal line driving circuits 17 and 19 and a signal line 7 in every scanning line 3 and every signal line 7, so that electric disconnection and connection between them are executed.



## LEGAL STATUS

[Date of request for examination] 19.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3210432

[Date of registration] 13.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-67200

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>3</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	9226-2K		

審査請求 未請求 請求項の数6(全 8 頁)

(21)出願番号 特願平4-217729

(22)出願日 平成4年(1992)8月17日

(71)出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 弘喜

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 増田 陽一

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

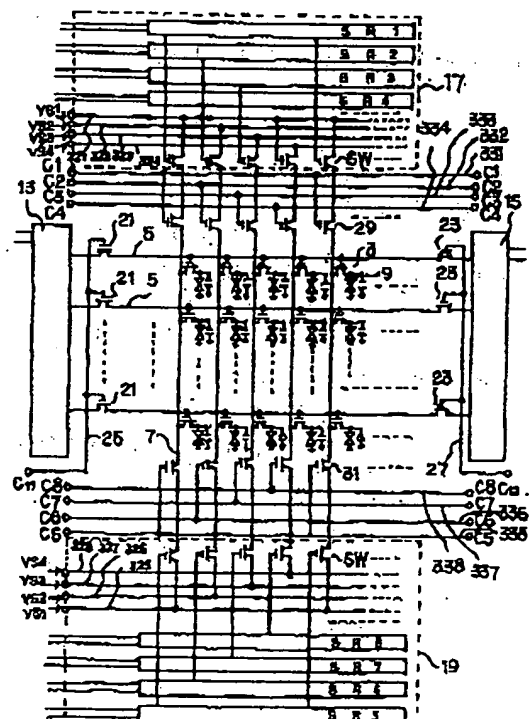
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 2系統以上の冗長な走査線駆動回路や信号線駆動回路の切り替えを行なう際の作業が簡易で、製造コストが低く抑えられ、かつ十分な信頼性を有する液晶表示装置を提供する。

【構成】 走査線駆動回路13、15と走査線5との間、および信号線駆動回路17、19と信号線7との間には、前記の画素部スイッチング用TFT3と同じ材質で同様の層構造に形成された多結晶シリコンの活性層を有するTFTからなる接続制御スイッチ21、23が、それぞれの走査線3および信号線7ごとに各々介挿されて、それらの間の電氣的切斷および接続を実行する。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタ素子と前記薄膜トランジスタ素子に接続された走査線および信号線と前記薄膜トランジスタ素子に接続された画素電極とを有するスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に対向配置される対向電極を有する対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入扶持される液晶組成物と、前記走査線に走査信号を印加する走査線駆動回路と、前記信号線に映像信号を印加する信号線駆動回路とを有する液晶表示装置において、

同一の走査線に対して複数の走査線駆動回路が接続され、

前記走査信号の前記走査線への伝達を制御する接続制御スイッチを具備することを特徴とする液晶表示装置。

【請求項2】 薄膜トランジスタ素子と前記薄膜トランジスタ素子に接続された走査線および信号線と前記薄膜トランジスタ素子に接続された画素電極とを有するスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に対向配置される対向電極を有する対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入扶持される液晶組成物と、前記走査線に走査信号を印加する走査線駆動回路と、前記信号線に映像信号を印加する信号線駆動回路とを有する液晶表示装置において、

同一の信号線に対して複数の信号線駆動回路が接続され、

前記映像信号の前記信号線への伝達を制御する接続制御スイッチを具備することを特徴とする液晶表示装置。

【請求項3】 前記走査線駆動回路および前記信号線駆動回路および前記接続制御スイッチが多結晶シリコンを活性層に有する薄膜トランジスタ素子からなり、前記スイッチング素子アレイ基板に一体に配設されたことを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項4】 前記接続制御スイッチが多結晶シリコンを活性層に有する薄膜トランジスタ素子からなり、1本あたりに複数の前記薄膜トランジスタ素子のゲートが接続されたゲート線を複数本具備することを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項5】 前記接続制御スイッチがクロックインバータからなることを特徴とする請求項1または請求項2または請求項3または請求項4記載の液晶表示装置。

【請求項6】 前記接続制御スイッチとしてダブルゲート構造の薄膜トランジスタ素子を用いることを特徴とする請求項1または請求項2または請求項3または請求項4記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関するもので、特に駆動回路一体型のアクティブマトリクス型液

晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置において高精細で高品位な画像表示を実現するために、薄膜トランジスタ（以下TFTと略称）を液晶印加電圧のスイッチング素子として走査線と信号線との交差部ごとに配置したアクティブマトリクス型液晶表示装置が開発されている。

【0003】 このアクティブマトリクス型液晶表示装置においては、さらに、前記の走査線駆動回路および信号線駆動回路を液晶表示素子のスイッチング素子と同じ材料で同一のTFTアレイ基板上に作り込んで、装置の小型化や製造工程の簡易化を図るようにした、いわゆる駆動回路一体型のアクティブマトリクス型液晶表示装置のTFTとして多結晶シリコン薄膜トランジスタを用いることが考えられている。

【0004】 しかしながら、このような従来の駆動回路一体型の液晶表示装置では、大面積かつ多画素に対応する個数にわたって無欠陥に走査線駆動回路および信号線駆動回路のTFTを形成しなければならないので、歩留りが低く製造コストが高くなるという問題がある。そこで、このような走査線駆動回路および信号線駆動回路のTFTの歩留りを向上させるための技術として、前記の走査線駆動回路および信号線駆動回路に冗長性を与えるという技術が、例えば特開昭57-132191号公報に開示されている。

【0005】 この技術は、図6に示すように、走査線（ゲート線）駆動回路501をTFT基板503の表示部505の左右に、また信号線駆動回路507をTFT基板503の表示部505の上下に、それぞれ走査線509、信号線511 1本あたりに対して2系統以上冗長に設けるといものである。表示部505内には、TFT513がスイッチング素子として走査線509と信号線511との交差部ごとに配置されている。

【0006】 走査線駆動回路501または信号線駆動回路507に欠陥箇所が存在するとき、表示部505に欠陥部分がなくとも駆動回路一体型の場合には液晶表示素子が動作しなくなる。そこで1本の走査線509または信号線511に対して2系統以上の走査線駆動回路501または信号線駆動回路507を接続しておき、その2系統以上のうちのいずれかに欠陥ができた場合にその欠陥を有する系統を識別した上でレーザーリペア装置等で走査線509または信号線511から切り離し、欠陥のない正常に動作する系統の走査線駆動回路501または信号線駆動回路507を用いることで、TFT基板503全体を欠陥として不使用とすることを避け、液晶表示装置の歩留りの向上を図ろうとするものである。

【0007】 しかしながら、上述のような冗長構造を採用した場合、例えば走査線509の両側に走査線駆動回路501を接続した場合ではどちらか一方の走査線駆動

回路501に欠陥があり動作不良が発生するとその走査線駆動回路501に接続された走査線509によって他方の正常な走査線駆動回路501も悪影響を受けて正常な表示をすることができなくなる。このように、両端に駆動回路を形成しても実際には冗長構造とはならないので、欠陥側の走査線駆動回路501と走査線509との接続をすべて切断しなければならないが、このような切断作業は、多画素化や高精細化が著しいアクティブマトリックス型液晶表示装置にあっては非常に煩雑で困難を伴うという問題がある。

【0008】そのような2系統以上の冗長な走査線駆動回路501や信号線駆動回路507の切り替えを行なう作業としては、具体的には例えば上記のようなレーザーリペア法により層間絶縁層を介した異なる層の接続もしくは同層の線間の接続を行なうが、これは工数コストが高くなるとともに、接続のコンタクト抵抗およびコンタクトの信頼性が十分ではないという問題がある。

【0009】また、上述の多結晶シリコン薄膜トランジスタからなる駆動回路一体型のアクティブマトリックス型液晶表示装置の他にも、実装した後のリペアが容易ではないCOG（チップオンガラス）実装の集積回路などを駆動回路に用いたアクティブマトリックス型液晶表示装置においても、上記と同様の問題がある。

【0010】

【発明が解決しようとする課題】本発明はこのような問題を解決するために成されたもので、その目的は、2系統以上の冗長な走査線駆動回路や信号線駆動回路の切り替えを行なう際の作業が簡易で、製造コストを低く抑え、かつ十分な信頼性を有する液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】第1の発明に係る液晶表示装置は、薄膜トランジスタ素子と前記薄膜トランジスタ素子に接続された走査線および信号線と前記薄膜トランジスタ素子に接続された画素電極とを有するスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に対向配置される対向電極を有する対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入挟持される液晶組成物と、前記走査線に走査信号を印加する走査線駆動回路と、前記信号線に映像信号を印加する信号線駆動回路とを有する液晶表示装置において、同一の走査線に対して複数の走査線駆動回路が接続され、前記走査信号の前記走査線への伝達を制御する接続制御スイッチを具備することを特徴としている。

【0012】また、第2の発明に係る液晶表示装置は、薄膜トランジスタ素子と前記薄膜トランジスタ素子に接続された走査線および信号線と前記薄膜トランジスタ素子に接続された画素電極とを有するスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に対向配置される対向電極を有する対向基板と、前記スイッチ

ング素子アレイ基板と前記対向基板との間に封入挟持される液晶組成物と、前記走査線に走査信号を印加する走査線駆動回路と、前記信号線に映像信号を印加する信号線駆動回路とを有する液晶表示装置において、同一の信号線に対して複数の信号線駆動回路が接続され、前記映像信号の前記信号線への伝達を制御する接続制御スイッチを具備することを特徴としている。

【0013】なお、前記走査線駆動回路および前記信号線駆動回路および前記接続制御スイッチを、多結晶シリコンを活性層に有する薄膜トランジスタ素子から形成し、前記スイッチング素子アレイ基板に配設するようにしてもよい。

【0014】また、前記接続制御スイッチを多結晶シリコンを活性層に有する薄膜トランジスタ素子から形成し、1本あたり複数の前記薄膜トランジスタ素子のゲートが接続されたゲート線を複数本具備してもよい。

【0015】また、前記接続制御スイッチをクロックドインバータからなるものとしてもよい。

【0016】また、前記接続制御スイッチとして、ダブルゲート構造の薄膜トランジスタ素子を用いるようにしてもよい。

【0017】さらに、前記走査線駆動回路および前記信号線駆動回路にはCOG（チップオンガラス）実装の集積回路を用い、前記接続制御スイッチには薄膜トランジスタ素子を用いてもよい。

【0018】

【作用】本発明の液晶表示装置は、同一の走査線または信号線に対して複数の走査線駆動回路または信号線駆動回路を接続し、映像信号が信号線に、あるいは走査信号が走査線に伝達されることを制御する接続制御スイッチを設けて、この接続制御スイッチを制御して欠陥の存在する走査線駆動回路または信号線駆動回路を走査線または信号線から電気的に切断することができるようにするものである。

【0019】これにより、例えば一本の走査線の両側に接続された2系統の走査線駆動回路のうち、一方が欠陥を有する動作不良の走査線駆動回路であっても、他方が正常に動作する走査線駆動回路であれば、前記の接続制御スイッチを用いて、欠陥を有する動作不良の走査線駆動回路をこれに接続している走査線から電気的に切断する。したがって、正常に動作する走査線駆動回路だけを走査線に接続したままとし動作不良の走査線駆動回路だけを簡易に電気的に走査線から切り離すことができ、またその切り離しも十分に信頼性の高いものとすることができる。

【0020】また、前記の走査線駆動回路および信号線駆動回路および接続制御スイッチを多結晶シリコンを活性層に有する薄膜トランジスタ素子から形成し、同一のスイッチング素子アレイ基板上に配設すれば、同じ材料および工程で製造できるという利点がある。

10

20

30

40

50

号線駆動回路および接続制御スイッチを形成することができるので、構造を簡易なものとし、また歩留まりを向上させ、製造コストを低く抑えることができる。

【0021】また、前記の接続制御スイッチを、薄膜トランジスタ素子から形成し、1本あたり複数の前記薄膜トランジスタ素子のゲートが接続されたゲート線を複数本具備するようにしてもよい。即ち、薄膜トランジスタ素子からなる接続制御スイッチを複数の組に組分けして接続するゲート線をその組の数だけ配設し、その組ごとに対応する接続制御スイッチを制御して走査線駆動回路と走査線との間、または信号線駆動回路と信号線との間の電気的接続をその組ごとに制御することができるので、走査線駆動回路や信号線駆動回路の冗長性をさらに効果的なものとすることができる。特に信号線にこの接続制御スイッチを設ける場合には、信号線駆動回路内の複数のシフトレジスタからの出力を用いて映像信号の書き込みを行なうアナログスイッチの出力をシフトレジスタの本数等でブロック化して冗長構造とすることにより、2系統以上の信号線駆動回路内のシフトレジスタごとの不良に対応することが可能となる。

【0022】また、特に駆動回路一体型の液晶表示装置の場合は、駆動回路の出力最終段には通常バッファ回路としてトランジスタ素子からなるインバータ回路が配設されているので、このインバータ回路の両端にトランジスタ素子を接続してクロックドインバータ回路とし、その両端のトランジスタ素子のそれぞれに各々極性の異なる制御入力線を接続して前記の接続制御スイッチを構成すれば、装置の構造を簡易なものとするすることができる。

【0023】また、前記の接続制御スイッチとしてダブルゲート構造の薄膜トランジスタ素子を用いて、一方のゲート部分を液晶駆動電圧出力用のアナログスイッチのゲートとして用い、かつ他方のゲート部分を前記の接続制御スイッチのゲートとして用いる構造にすれば、装置の構造を簡易なものとするすることができる。

【0024】

【実施例】以下、本発明に係る液晶表示装置の一実施例を、図面に基づいて詳細に説明する。

【0025】図1は、本発明に係る液晶表示装置のうち、特にTFT基板の構成を示す図である。

【0026】この液晶表示装置のTFT基板1には、多結晶シリコンの活性層を有する薄膜トランジスタ素子(以下、TFTと略称)からなる画素部スイッチング用TFT3と、この画素部スイッチング用TFT3に接続された走査線5および信号線7と、この画素部スイッチング用TFT3に接続された画素電極9とが配設された画面表示部分11と、その周囲に配置され前記の走査線5および信号線7の各々の両端に接続された第1の走査線駆動回路13および第2の走査線駆動回路15の2系統の走査線駆動回路および第1の信号線駆動回路17および第2の信号線駆動回路19の2系統の信号線駆動回

路がそれぞれ形成されている。

【0027】そして本発明に係る液晶表示装置全体は、図示は省略するが、このようなTFT基板1に対向配置される対向電極を有する対向基板と、前記のTFT基板1とこの対向基板との間隙に封入され挟持された液晶組成物とからその主要部が構成されている。

【0028】この液晶表示装置の第1の走査線駆動回路13および第2の走査線駆動回路15は、同一タイミングで各走査線5に一定の順序で走査信号(Vg)を印加するシフトレジスタ(図示省略)から主要部が構成されている。

【0029】そしてこの第1の走査線駆動回路13および第2の走査線駆動回路15と、各走査線5との間には、前記の画素スイッチング用TFT3と同じ材質で同様の構造に形成された多結晶シリコンの活性層を有するTFTからなる接続制御スイッチ21、23がそれぞれ介挿されている。

【0030】そして接続制御スイッチ21、23群のオン・オフ制御を一括して行ない走査信号(Vg)が各走査線5に印加されることを制御するため、各走査スイッチ21のゲート電極は、入力端子C11を備えた第1の走査信号制御線25に共通に接続されており、また各走査スイッチ23のゲート電極も同様に、入力端子C12を備えた第2の走査信号制御線27に共通に接続されている。

【0031】また、第1の信号線駆動回路17および第2の信号線駆動回路19の映像信号入力線321~328には、4分割された映像信号(Vs1)~(Vs4)が入力され、それぞれ4つのシフトレジスタ(SR1)~(SR4)、(SR5)~(SR8)の出力によって制御される選択スイッチ(SW)により映像信号入力線321~328に入力される映像信号(Vs1)~(Vs4)が順次サンプリングされて出力される構成となっている。

【0032】このように第1の信号線駆動回路17、19は、それぞれ4つのシフトレジスタ(SR1)~(SR4)、(SR5)~(SR8)で分割駆動されるため、各シフトレジスタ(SR1)~(SR4)、(SR5)~(SR8)の動作速度を、信号線駆動回路を一つのシフトレジスタで構成する場合の4倍程度に低速化することができ、歪みのない映像信号(Vs1)~(Vs4)を各信号線7に印加することができる。

【0033】そして、この信号線駆動回路17、19と信号線7との間に、前記の画素スイッチング用TFT3と同じ材質で同様の構造に形成された多結晶シリコンの活性層を有するTFTからなる接続制御スイッチ29、31が、それぞれの信号線7ごとに配設されている。

【0034】第1のシフトレジスタ(SR1)、第5のシフトレジスタ(SR5)によって選択される映像信号(Vs1)が印加される信号線7に接続された接続制御

イッチ29、31のゲート電極は、両端に入力端子(C1)、(C5)を備えた映像信号制御線331、335に共通に接続されている。

【0035】第2のシフトレジスタ(SR2)、第6のシフトレジスタ(SR6)によって選択される映像信号(Vs2)が印加される信号線7に接続された接続制御スイッチ29、31のゲート電極についても同様に、それぞれ両端に入力端子(C2)、(C6)を備えた映像信号制御線332、336に共通に接続されている。

【0036】また、第3のシフトレジスタ(SR3)、第7のシフトレジスタ(SR7)によって選択される映像信号(Vs3)が印加される信号線7に接続された接続制御スイッチ29、31のゲート電極についても同様に、両端に入力端子(C3)、(C7)を備えた映像信号制御線333、337に共通に接続されている。

【0037】同様に、第4のシフトレジスタ(SR4)、第8のシフトレジスタ(SR8)によって選択される映像信号(Vs4)が印加される信号線7に接続された接続制御スイッチ29、31のゲート電極についても同様に、両端に入力端子(C4)、(C8)を備えた映像信号制御線334、338に共通に接続されている。

【0038】このような構成によれば、第1の走査線駆動回路13の内部のシフトレジスタの途中で動作不良が生じた場合、第1の接続制御スイッチ21に接続される第1の走査信号制御線25の入力端子(C11)にオフ信号を、第2の接続制御スイッチ23に接続される第2の走査信号制御線27の入力端子(C12)にオン信号を印加することにより、正常に動作する第2の走査線駆動回路15のみを走査線5に電気的に接続することができる。

【0039】また、例えば第1の信号線駆動回路17を構成する第1のシフトレジスタ(SR1)が動作不良となったような場合には、次のようにして正常な動作を得ることができる。

【0040】即ち、第1の信号線駆動回路17の、第1のシフトレジスタ(SR1)の出力によって制御されるスイッチ素子(SW)に接続された接続制御スイッチ29を制御する映像信号制御線331の両端の入力端子(C1)にオフ信号を、また第2のシフトレジスタ(SR2)～第4のシフトレジスタ(SR4)の出力によって制御されるスイッチ素子に接続された接続制御スイッチ29を制御する映像信号制御線332～334の両端の入力端子(C2)～(C4)にオン信号を、それぞれ印加する。

【0041】一方、第2の信号線駆動回路19の、第5のシフトレジスタ(SR5)の出力によって制御されるスイッチ素子(SW)に接続された接続制御スイッチ31を制御する映像信号制御線335の両端の入力端子(C5)にオン信号を、第6のシフトレジスタ(SR6)～第8のシフトレジスタ(SR8)の出力によって

制御されるスイッチ素子(SW)に接続された接続制御スイッチ31を制御する映像信号制御線336～338の両端の入力端子(C6)～(C8)にオフ信号を、それぞれ印加する。

【0042】このようにして、動作不良が生じている第1の信号線駆動回路17の第1のシフトレジスタ(SR1)を電気的に切り離し、第2の信号線駆動回路19の第5のシフトレジスタ(SR5)を接続し、これにより駆動することで、液晶表示装置の正常な動作が得られる。上記の例以外にも、同様の動作を各シフトレジスタで適宜行なって、液晶表示装置の正常な動作を得る。

【0043】このように、特に本実施例では、信号線駆動回路17、19が、複数のシフトレジスタ(SR1)～(SR8)で構成されるとともに、各シフトレジスタ(SR1)～(SR8)に対応して信号線7への出力の伝達制御が可能ないように、各シフトレジスタ(SR1)～(SR8)に対応する複数本の映像信号制御線331～338を備えている。これにより第1の信号線駆動回路17側あるいは第2の信号線駆動回路19側のシフトレジスタの一方が動作不良となっても、映像信号制御線331～338の入力を切り替えて各接続制御スイッチ29、31を上記のような要領で適宜制御することで、動作不良のシフトレジスタを信号線7から電気的に切り離すとともに正常なシフトレジスタを信号線7に接続して液晶表示装置の正常な動作を得ることができ、冗長効果を向上させることができる。

【0044】上述した実施例において、各映像信号制御線331～338の両端に入力端子を設けて制御信号を印加する構成を採用したのは、映像信号制御線331～338に断線が生じて、左右の入力端子によって各接続制御スイッチ29、31の制御を可能ならしめるためである。

【0045】ところで、各走査線駆動回路13、15と走査線5との間に介挿される接続制御スイッチ21、23としては、上述したように多結晶シリコンTFTを各走査線5ごとに付加してもよいが、次のように構成してもよい。

【0046】即ち、走査線駆動回路は、図2に示すように、走査線5への出力最終段にインピーダンスの低下のためチャンネルW/L(幅/長さ)比の大きなインバータ構造のパッファ回路201を有している。そこで、図3に示すようにクロックドインバータでパッファ回路301を構成し、極性の異なる2本の制御入力線303、305で接続を制御するような構造にして、接続制御スイッチ21、23としてこれを用いれば、回路構成上も簡便なものとなり、パターン設計や製造工程が簡易化できるので好ましい。しかもクロックドインバータ回路はインバータのダブルゲート構造のトランジスタ素子の両側にトランジスタ素子を接続して構成されるものであり、これを接続制御スイッチ21、23として用いること

よって、接続制御スイッチを別に配設する場合と比べて簡便な構造となり、パターン設計や製造工程が簡易化できるので好ましい。

【0047】また、図4に示すように、接続制御スイッチ29を選択スイッチ(SW)と直列に形成し、さらに映像入力線321~324と映像信号制御線331~334とを交互に配置させるような構成としてもよい。このように各配線を交互に配置すれば、映像入力線321~324の隣接する配線間のクロストークを低減できるという効果を付加することができる。

【0048】また、このような直列に形成された接続制御スイッチ29および選択スイッチ(SW)の構造としては、2個のTFT素子を個別にパターンニングして形成するのではなく、図5に示すように、ダブルゲート構造のTFT400で各々のゲート電極401、402各々にそれぞれ駆動回路からの出力線407、映像信号制御線409を接続するような構造にすれば、回路構成上も簡便なものとなり、パターン設計や製造工程が簡易化できるので好ましい。

【0049】以上のように、本発明に係る駆動回路一体型の液晶表示装置では、走査信号あるいは映像信号の走査線や信号線への伝達を接続制御スイッチにより電気的に切断または接続することができる。これにより、従来は不良箇所を確認した後にレーザー光などで物理的に切断または接続していたものを、冗長構成の駆動回路の選択を接続制御スイッチに接続される走査信号制御線あるいは映像信号制御線への制御入力線への入力の切り替えにより行なうことができるようにして、液晶表示装置の最終検査段階でも容易に切り替え作業を行なうことができるようになり工数の低減・省力化が成されて製造コストの低下を図ることができる。また、配線の物理的な切断などの工程を省略することに加えて、特に接続部のコンタクトの信頼性等を十分なものとすることができる。

【0050】なお、本発明は、走査線駆動回路および信号線駆動回路として上記のような多結晶シリコンTFTからなる回路の他にもCOG(チップオンガラス)実装タイプの集積回路を用いたものにおいても効果的であ

り、また接続制御スイッチには、多結晶シリコンTFT以外にもアモルファスシリコンTFTを用いるなどしてもよい。

【0051】また、上記の接続制御スイッチおよびそのゲート線に接続される走査信号制御線あるいは映像信号制御線の構成は、上記のみに限定されないことは言うまでもない。この他にも例えばトランスファゲート構造等を用いることもできる。

【0052】

10 【発明の効果】以上の詳細な説明で明らかなように、本発明によれば、2系統以上の冗長な走査線駆動回路や信号線駆動回路の切り替えを行なう際の作業が簡易で製造コストを低く抑えかつ十分な信頼性を有する液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置のTFT基板の構成を示す図。

【図2】本発明に係る液晶表示装置の駆動回路内のバッファ回路部分を示す図。

20 【図3】本発明に係る液晶表示装置のインバータ回路からなる接続制御スイッチを示す図。

【図4】本発明に係る液晶表示装置の信号線駆動回路を示す図。

【図5】本発明に係る液晶表示装置のインバータ回路からなる接続制御スイッチを示す図。

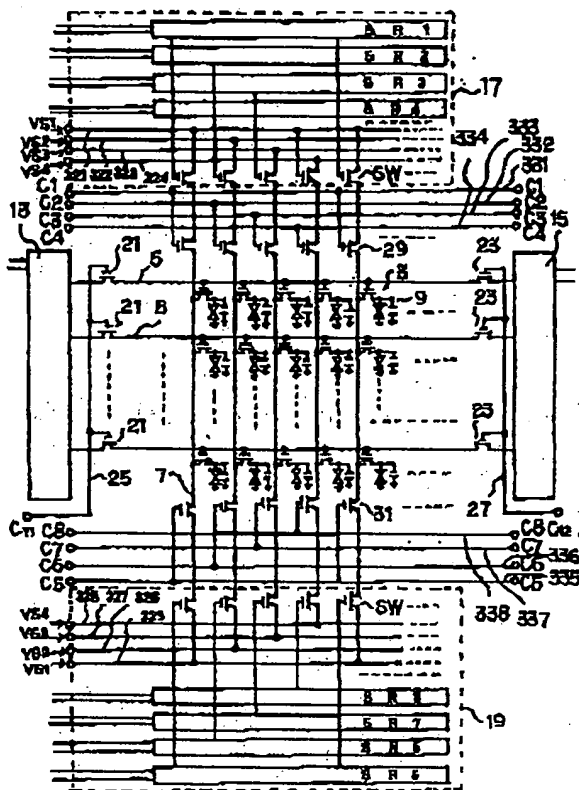
【図6】従来の冗長構造を有する液晶表示装置のTFT基板の構成を示す図。

【符号の説明】

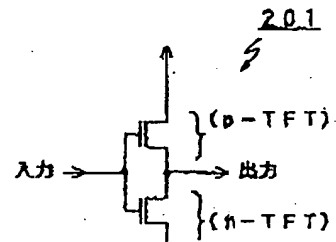
1...TFT基板、3...画素部スイッチング用TFT、5...走査線、7...信号線、9...画素電極、11...画面表示部分、13...第1の走査線駆動回路、15...第2の走査線駆動回路、17...第1の信号線駆動回路、19...第2の信号線駆動回路、21、23...走査側の接続制御スイッチ、25...第1の走査信号制御線、27...第2の走査信号制御線、29、31...信号側の接続制御スイッチ、321~328...映像信号入力線、331~338...映像信号制御線



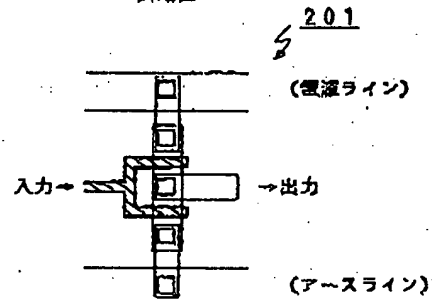
【図1】



【図2】

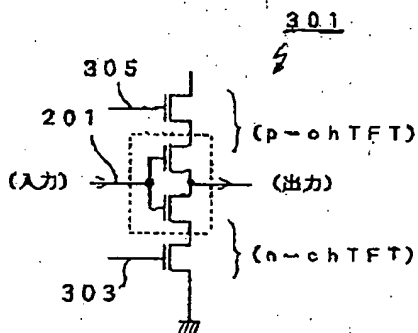


&lt; 回路図 &gt;

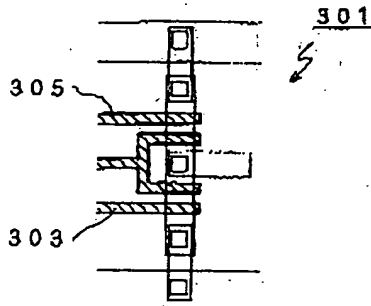


&lt; パターン構成 &gt;

【図3】

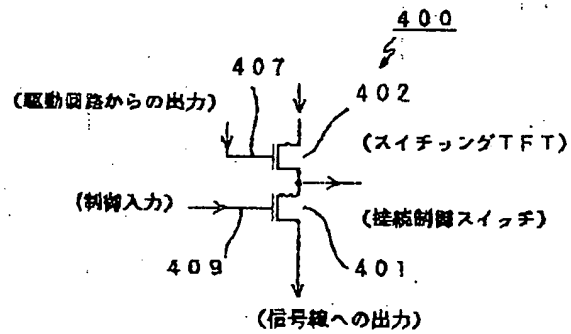


&lt; 回路図 &gt;

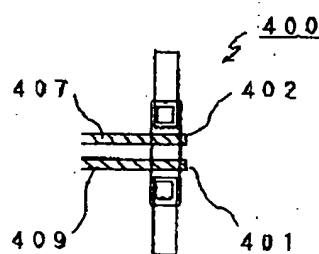


&lt; パターン構成 &gt;

【図5】



&lt; 回路図 &gt;



&lt; パターン構成 &gt;

The timing diagram illustrates the relationship between various signals and components. At the top, four horizontal bars represent signals labeled SR 1, SR 2, SR 3, and SR 4. Below these, a series of vertical lines represent clock signals: 321, 322 V61, 323 V62, V63, V64, and C4. On the right side, four horizontal bars represent signals labeled C1, C2, C3, and C4. At the bottom, two sets of vertical lines represent signals labeled SW and 6W. A dashed line labeled 7 is positioned at the bottom of the diagram. A dashed line labeled 29 is positioned between the SW and 6W signals. A dashed line labeled 331 is positioned between the C1 and C2 signals. A dashed line labeled 332 is positioned between the C2 and C3 signals. A dashed line labeled 333 is positioned between the C3 and C4 signals. A dashed line labeled 334 is positioned between the C4 and the bottom of the diagram. A dashed line labeled 17 is positioned at the top of the diagram.